

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-198463

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

H01L 23/12

H01L 21/56

H01L 21/60

H01L 27/14

H04N 5/335

(21)Application number : 2000-395625

(71)Applicant : CANON INC

(22)Date of filing : 26.12.2000

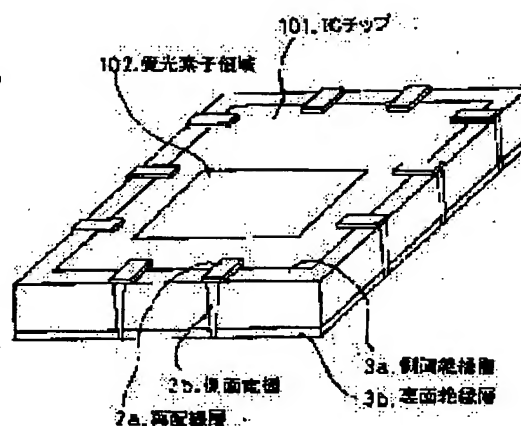
(72)Inventor : HATA FUMIO

(54) CHIP SIZE PACKAGE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the so-called chip size package for inexpensively obtaining a wafer level CSP even to such semiconductor device as a solid-state image pickup element and a photoelectric conversion element by devising the CSP process, and to provide the manufacturing method of the chip size package.

SOLUTION: In the chip size package where a semiconductor integrated circuit and a surface-side electrode are formed on the surface of a chip, a reverse-side insulating layer is formed corresponding to the connection wiring section and at least along the reverse side end, the side insulating layer is formed on the side of the chip so that it is flush with the exposure surface of the connection wiring, and is connected to the reverse side insulating layer, and the surface side electrode is electrically connected to the connection wiring section via the upper end extension section of the connection wiring section being extended to the surface of the chip including the side insulating layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-198463

(P2002-198463A)

(43) 公開日 平成14年7月12日 (2002.7.12)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト* (参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 P 4 M 1 1 8
21/56		21/56	R 5 C 0 2 4
21/60		H 0 4 N 5/335	V 5 F 0 6 1
27/14		H 0 1 L 21/92	6 0 2 Z
H 0 4 N 5/335		27/14	D
審査請求 未請求 請求項の数7 O L (全 7 頁)			

(21) 出願番号 特願2000-395625(P2000-395625)

(22) 出願日 平成12年12月26日 (2000.12.26)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 畑 文夫

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム(参考) 4M118 AA10 AB01 BA10 BA14 HA24
HA31

5C024 CY47 EX22 EX24

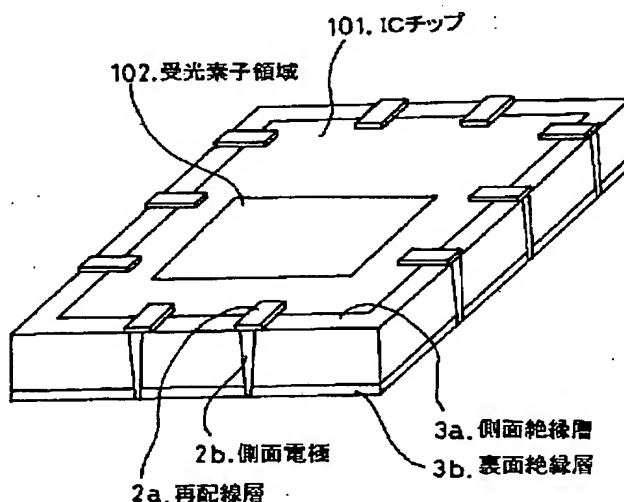
5F061 AA01 BA07 CA10 CB13 FA01

(54) 【発明の名称】 チップサイズパッケージおよびその製造方法

(57) 【要約】

【課題】 CSP工程の工夫で、固体撮像素子や光電変換素子などの半導体素子についても、ウエハレベルCSPが安価に得られる、所謂、チップサイズパッケージおよびその製造方法を提供する。

【解決手段】 チップの表面に半導体集積回路および表面側電極を形成したチップサイズパッケージにおいて、前記チップの裏面には、前記接続配線部に対応して、少なくともその裏面側縁に沿って、裏面側絶縁層が形成されており、また、前記チップの側面には、前記接続配線部の露出面と面一となるように、前記裏面側絶縁層に連続する状態で前記側面絶縁層が形成され、かつ、前記表面側電極が前記側面絶縁層を含む前記チップの表面に延長された前記接続配線部の上端延長部を介して、前記接続配線部に電気的に接続されている。



【特許請求の範囲】

【請求項 1】 チップの表面に半導体集積回路および表面側電極を形成すると共に、前記表面とほぼ直交する前記チップの側面に、側面絶縁層を介して、前記表面側電極から前記チップの裏面の縁にわたって接続配線部を形成しているチップサイズパッケージにおいて、前記チップの裏面には、前記接続配線部に対応して、少なくともその裏面側縁に沿って、裏面側絶縁層が形成されており、また、前記チップの側面には、前記接続配線部の露出面と面一となるように、前記裏面側絶縁層に連続する状態で前記側面絶縁層が形成され、かつ、前記表面側電極が前記側面絶縁層を含む前記チップの表面に延長された前記接続配線部の上端延長部を介して、前記接続配線部に電気的に接続されていることを特徴とするチップサイズパッケージ。

【請求項 2】 前記チップの背面には、裏面側絶縁層表面に裏面側配線部を備えており、前記接続配線部の下端に電気的に接続されていることを特徴とする請求項 1 に記載のチップサイズパッケージ。

【請求項 3】 前記裏面側絶縁層上に形成された裏面側配線部上には半田、金、などの金属突起が設けられていることを特徴とする請求項 2 に記載のチップサイズパッケージ。

【請求項 4】 前記半導体集積回路に CCD、CMOS などの固体撮像素子、受光素子、光電変換素子を含むことを特徴とする請求項 1 ないし 3 の何れか 1 項に記載のチップサイズパッケージ。

【請求項 5】 前記側面絶縁層および裏面絶縁層の一方または両方が可撓性被膜であることを特徴とする請求項 1 ないし 4 の何れか 1 項に記載のチップサイズパッケージ。

【請求項 6】 シリコンウエハの表面に半導体集積回路及び表面側電極を形成し、シリコンウエハからチップを切り分ける際に、前記表面側電極を電気的にチップの裏面側に導通するための接続配線部をチップの側面に形成するチップサイズパッケージの製造方法において、シリコンウエハの裏面に、前記チップを切り分ける箇所（ダイシングライン）で、少なくともその背面側縁に沿って、裏面側絶縁層を形成し、前記チップの切り分けに際して、少なくとも前記裏面側絶縁層の一部を残して、その切り分け箇所に沿って、切り分け用のスリットを形成し、該スリットに側面用絶縁層を積層、充填し、該絶縁層ならびに裏面側絶縁層を貫通する接続配線部用溝孔を形成し、

また、シリコンウエハの表面側で、予めパターンニングされた所要領域に、表面側電極と接続される状態まで前記溝孔および表面側に導電用金属を積層、充填し、前記側面用絶縁層および導電性金属を分割する位置で、シリコンウエハからチップを切り分けることを特徴とす

るチップサイズパッケージの製造方法。

【請求項 7】 シリコンウエハの表面に半導体集積回路及び表面側電極を形成し、シリコンウエハからチップを切り分ける際に、前記表面側電極を電気的にチップの裏面側に導通するための接続配線部をチップの側面に形成するチップサイズパッケージの製造方法において、シリコンウエハの裏面に、前記チップを切り分ける箇所（ダイシングライン）で、少なくともその裏面側縁に沿って、裏面側絶縁層を形成し、

10 該裏面側絶縁層の表面に裏面側接続配線部を形成し、前記チップの切り分けに際して、少なくとも前記裏面側絶縁層の一部を残して、その切り分け箇所に沿って、切り分け用のスリットを形成し、該スリットに側面用絶縁層を積層、充填し、前記裏面側接続配線部まで前記絶縁層ならびに裏面側絶縁層を貫通する接続配線部用溝孔を形成し、

また、シリコンウエハの表面側で、予めパターンニングされた所要領域に、裏面側接続配線部に接続された状態で、かつ、表面側電極に接続されるまで、前記溝孔および表面側に導電用金属を積層、充填し、前記側面用絶縁層および導電性金属を分割する位置で、シリコンウエハからチップを切り分けることを特徴とするチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、主として、半導体集積回路、特に CCD、CMOS などの固体撮像素子や受光素子、その他光電変換素子を含む集積回路の超小型実装において使用するチップサイズパッケージおよびその製造方法に関する。

【0 0 0 2】

【従来の技術】従来、半導体集積回路（以下、IC という）を機器に搭載するには、図 2 0 に示すように、機器の配線基板 5 との半田付けを行い易くするために、以下の実装方法が多く用いられてきた。即ち、半導体製造工程を完了したシリコンウエハを切断（ダイシング）して、小片（IC チップ 1 0 1）とした後、セラミックやプラスチックなどのケース 2 0 0 に収納し、半田付け用の端子（リード）2 0 2 と IC チップの電極 1 c とを、金属細線 2 0 3 で接続（ワイヤーボンディング）し、その後、ケース 2 0 0 に対して、気密封止の蓋 2 0 1 を接着する。

【0 0 0 3】通常、固体撮像素子、受光素子などの IC も、多くは、上記の方法で実装しており、ここでは、外部からの光線 3 0 0 がチップ上の受光素子領域に到達するように、蓋 2 0 1 の材質に透明ガラスなどが用いられている。

【0 0 0 4】近年、IC の設計・製造技術の進展によって、回路の高度集積化かつ低消費電力化が可能となり、高機能な情報機器が、よりコンパクトで、携帯可能にな

ってきている。当然、上記のような従来の実装方法では、ICチップ以外のケース、蓋やリードの占める体積、実装コストなどの比率が相対的に大きくなり、これらを極限まで圧縮することが課題となってきた。

【0005】この課題を解決するため、さまざまな超小型実装方式が提案されている。これらには、大別して以下の方法がある。

1. ICチップを直接配線基板に接着し、ICの電極と配線基板とをワイヤーなどで接続する方法（フリップチップ実装方式）。

2. ICチップとほぼ同等の面積でかつ半田付け可能な端子を持つ小基板（インターポーザ）を用意し、これとICチップをワイヤーなどで接続する方法（チップサイズパッケージ方式）。

【0006】ここで、チップサイズパッケージ（以下、CSPと略称する）は、フリップチップ実装と異なり、半田付け工程で、チップ部品搭載装置（チップマウンター）が利用できるため、基板組立工場で、新たな設備投資を行う必要がなく、実施できる上、不良ICの交換（リペア）も比較的容易であるなどの利点がある。

【0007】また、CSPの中でも、ウエハ状態のままでは、ダイシングを終了し、ダイシングを行うと同時に、パッケージとして完成するものを、特にウエハレベルCSPと呼ぶ。このような構成の断面が、その一例として、図21に示されている。ここで、101はICチップであって、詳しくは、1aがシリコン、1bが酸化膜、1cがアルミニウム電極、1dが窒化シリコンなどの保護膜である。

【0008】半導体製造工程を完了したシリコンウエハには、半田付けの熱による歪を吸収する目的で、その表面に可撓性の絶縁層3cが塗布され、次に、電極1cに対応する領域がエッチングなどにより除去される。その後、金属の再配線層2eが形成され、さらに、半田付けのための半田ボール2dが搭載される。しかる後に、ダイシング工程によりウエハを小片に切断する。

【0009】この技術によれば、パッケージの面積はICチップと同等になり、超小型の実装が達成できる。また、大部分の工程を、ウエハ状態で一括処理するため、コストダウンも図ることができる。

【0010】

【発明が解決しようとする課題】固体撮像素子も、機器の小型化に対応するため超小型実装が求められているが、上記のように、従来のウエハレベルCSP工程では、受光領域の上に絶縁層や再配線層などを積層する必要があるため、そのまま、適用することはできなかった。

【0011】そこで、特開2000-195987号公報（現代電子産業株式会社）などに所載のように、IC電極が上を向くように配置する製造方法も提案されているが、ウエハを極めて薄く（例えば8～12μm程度）研磨する必要

があり、特殊な製造装置が必要になるなどのデメリットがあった。

【0012】本発明は、上記事情に基づいてなされたもので、その目的とするところは、CSP工程の工夫で、固体撮像素子や光電変換素子などの半導体素子についても、ウエハレベルCSPが安価に得られる、所謂、チップサイズパッケージおよびその製造方法を提供することである。

【0013】

10 【課題を解決するための手段】この課題を解決するため、本発明では、チップの表面に半導体集積回路および表面側電極を形成すると共に、前記表面とほぼ直交する前記チップの側面に、側面絶縁層を介して、前記表面側電極から前記チップの裏面の縁にわたって接続配線部を形成しているチップサイズパッケージにおいて、前記チップの背面には、前記接続配線部に対応して、少なくともその裏面側縁に沿って、裏面側絶縁層が形成されており、また、前記チップの側面には、前記接続配線部の露出面と面一となるように、前記裏面側絶縁層に連続する状態

20 状態で前記側面絶縁層が形成され、かつ前記表面側電極が、前記側面絶縁層を含む前記チップの表面に延長された前記接続配線部の上端延長部を介して、前記接続配線部に電気的に接続されていることを特徴とする。

【0014】この場合、本発明の実施の形態として、前記チップの背面には、裏面側絶縁層表面に裏面側配線部を備えており、前記接続配線部の下端に電気的に接続されていること、前記裏面側絶縁層上に形成された裏面側配線部上には半田、金、などの金属突起が設けられていること、前記半導体集積回路にCCD、CMOSなどの固体撮像素子、受光素子、光電変換素子を含むこと、前記側面絶縁層および裏面絶縁層の一方または両方が可撓性被膜であることは、それぞれ、有効である。

【0015】また、本発明では、シリコンウエハの表面に半導体集積回路及び表面側電極を形成し、シリコンウエハからチップを切り分ける際に、前記表面側電極を電気的にチップの裏面側に導通するための接続配線部をチップの側面に形成するチップサイズパッケージの製造方法において、シリコンウエハの裏面に、前記チップを切り分ける箇所（ダイシングライン）で、少なくともその裏面側縁に沿って、裏面側絶縁層を形成し、前記チップの切り分けに際して、少なくとも前記裏面側絶縁層の一部を残して、その切り分け箇所に沿って、切り分け用のスリットを形成し、該スリットに側面用絶縁層を積層、充填し、該絶縁層ならびに裏面側絶縁層を貫通する接続配線部用溝孔を形成し、シリコンウエハの表面側で、パターンニングによって、表面側電極と接続される状態まで前記溝孔および表面側に導電用金属を積層、充填し、前記側面用絶縁層および導電性金属を分割する位置で、シリコンウエハからチップを切り分けることを特徴とする。

【0016】あるいは、本発明では、シリコンウエハの表面に半導体集積回路及び表面側電極を形成し、シリコンウエハからチップを切り分ける際に、前記表面側電極を電氣的にチップの裏面側に導通するための接続配線部をチップの側面に形成するチップサイズパッケージの製造方法において、シリコンウエハの裏面に、前記チップを切り分ける箇所（ダイシングライン）で、少なくともその裏面側縁に沿って、裏面側絶縁層を形成し、該裏面側絶縁層の表面に裏面側接続配線部を形成し、前記チップの切り分けに際して、少なくとも前記裏面側絶縁層の一部を残して、その切り分け箇所に沿って、切り分け用のスリットを形成し、該スリットに側面用絶縁層を積層、充填し、前記裏面側接続配線部まで前記絶縁層ならびに裏面側絶縁層を貫通する接続配線部用溝孔を形成し、シリコンウエハの表面側で、パターニングによって、裏面側接続配線部に接続された状態で、かつ、表面側電極に接続されるまで、前記溝孔および表面側に導電用金属を積層、充填し、前記側面用絶縁層および導電性金属を分割する位置で、シリコンウエハからチップを切り分けることを特徴とする。

【0017】

【発明の実施の形態】（第1の実施の形態）図1は本発明に係わる第1の実施の形態を示す外観図である。ここで、101はICチップ、102は半導体集積回路の内の受光素子領域、2aはICチップ101の表面（第一の表面）と側面（第二の表面）に跨る接続用配線部の一部（上端延長部）をなす再配線層（表面側）、2bは同じく側面電極（側面側）、3aは側面側絶縁層、3bはICチップ101の裏面（第三の表面）に形成された裏面側絶縁層である。

【0018】本発明に係わるウエハレベルCSPは、基本的な構成として、チップ101の表面11に半導体集積回路および表面側電極（IC電極）1cを形成すると共に、前記表面とほぼ直交するチップ101の側面に、側面絶縁層3aを介して、表面側電極1cから前記チップの裏面の縁にわたって前記接続配線部（2a、2b）を形成している（図1を参照）。

【0019】特に、本発明のCSPは、以下のような構成に特徴がある。即ち、前記チップの裏面13には、前記接続配線部に対応して、少なくともその裏面側縁に沿って、前述の裏面側絶縁層3bが形成されており、また、前記チップの側面には、前記接続配線部の露出面と面一となるように、前記裏面側絶縁層3bに連続する状態で前記側面側絶縁層3aが形成され、かつ前記表面側電極1cが、前記側面側絶縁層3aを含む前記チップの表面に延長された前記接続配線部の上端延長部（再配線層）2aを介して、前記接続配線部に電氣的に接続されている。

【0020】このようなウエハレベルCSPは、図2ないし図9に順次、図解する工程を経て製造される。これを

順次説明する。

1）図2に示すようなシリコンウエハ1の裏面13に、ICチップ101を切り分ける箇所（ダイシングライン）で、少なくともそのチップ裏面側縁に沿って、裏面側絶縁層3bを形成する（図3を参照）。

2）切断砥石9を用いて、前記チップの切り分けに際して、少なくとも裏面側絶縁層3bの一部を残して、その切り分け箇所に沿って、切り分け用のスリットを形成する（これにより、ICチップ101の側面12、12が形成される）（図4を参照）。

3）該スリットに側面用絶縁層3aを積層、充填し、該絶縁層3aならびに裏面側絶縁層3bを貫通する接続配線部用溝孔4を形成し、また、シリコンウエハの表面側で、予め感光性レジストなどの膜8を形成し、パターニングされた所要領域8a（表面側電極1cを含む）を残して、マスクする（図5および図6を参照）。

4）そして、表面側電極1cと接続される状態まで溝孔4および表面側に導電用金属2を積層、充填する（図7を参照）。

5）次いで、前記側面用絶縁層3aおよび導電性金属2を分割する位置で、シリコンウエハ1からチップ101を切り分ける。

【0021】なお、図2はウエハプロセス完成後のIC電極付近の断面であり、そこでの、1aはシリコン、1bは絶縁膜（酸化シリコン膜）、1cはIC電極であるアルミニウム、1dは保護膜（窒化シリコンなど）である。

【0022】通常は、これらをまとめてシリコンウエハ1と呼ぶ（なお、図2では半導体集積回路部は省略してある）。また、通常、半導体集積回路および電極は、シリコンウエハ1の表面11にのみに形成され、その裏面13に形成されることはない。

【0023】本発明では、図3に示すように、裏面13に絶縁層3bを塗布または貼付するが、この絶縁層3bの材料には、半田付けの熱に耐える必要から、ポリイミドやエポキシ樹脂などが適当である。

【0024】次に、図4の切断砥石9で、シリコンウエハ1のダイシングラインへ溝を入れるが、この時、シリコンウエハ1がチップ毎にバラバラに分離されないように、絶縁層3bの一部を切り残す。しかし、シリコン1aは、完全に分割されるようにする。この工程で形成された溝の壁面は、チップの側面12となる。

【0025】図5では、側面12を被覆するために、側面側絶縁層3aを充填、硬化する。この絶縁層3aは、絶縁層3bと同様に、半田付けの熱に耐えること、また、熱膨張、収縮のひずみを吸収するために可撓性をもつことが必要なので、材料として、エポキシ樹脂などが適する。

【0026】次に、感光性レジストなどの膜8により、保護膜1dの表面を被覆した後、IC電極1c周囲に開口部8aをパターニングする。更に、図6に示すよう

に、側面絶縁層 3 a 内で、かつ、開口 8 a の範囲内に、レーザー加工などで貫通孔 4 を開ける。そして、ここに、無電解ニッケルメッキおよび電解銅メッキなどを順次施し、貫通孔 4 と電極近傍開口 8 a の全域を金属 2 で充填する。

【0027】この後に、感光性レジスト 8 を剥離すると図 7 に示す構造が完成し、さらに、これを第二のダイシング工程（図示せず）で切断すれば、チップの側面に、電極 2 b が露出した IC チップ、即ち、チップサイズパッケージが完成するのである（図 8 を参照）。

【0028】なお、図 2 においては省略されているが、半導体回路部や表面に露出している上述の再配線層 2 a などの上に保護層を塗布しておくことは、信頼性向上のために有効である。

【0029】このチップサイズパッケージは、半田付けの電極がチップの側面に存在するため、プリント基板への搭載方法は、図 9 の（a）および（b）に示す形で、実現される。即ち、予め、クリーム半田 7 を印刷したプリント基板 5 の上に、このチップサイズパッケージを置き、リフロー炉で加熱して、半田を溶融する。これにより、再配線層 2 a および側面電極 2 b とプリント基板のパターン電極部 5 a とが半田 7 で接続される。

【0030】（第 2 の実施の形態）図 1 0 および図 1 1 は本発明に係わる第 2 の実施の形態を示す外観図（図 1 0 は表面斜視図、図 1 1 は裏面斜視図）である。また、図 1 2 ないし図 1 9 は、この実施の形態におけるチップサイズパッケージの製造工程を順次、示す断面図である。

【0031】なお、第 1 の実施の形態では、半田付けのためのパターン電極部 5 a が、チップの側面電極 2 b に直に半田付けされたが、電極数が増加すると、その配列に限界がある。そこで、この実施の形態では、これに対応できる裏面電極を、予めチップの裏面上に配置するのである。これにより、チップの裏面側での面積を、すべて、基板側の半田付けパターン電極部の領域に対応して使うことができ、より広い応用が可能となる。

【0032】図 1 0 および図 1 1 において、2 c は金属による裏面再配線層（パターン電極部に対応する裏面電極）、2 d は半田ボールなどの金属突起である。この裏面再配線層 2 は絶縁層 3 b の表面に、貼付またはメッキなどにより、形成される。なお、ここで、絶縁層 3 b の材料には、半田耐熱性とともにも可撓性も要求される。

【0033】この実施の形態での工程では、図 1 2 に示すシリコンウエハ 1 の裏面 1 3 に、絶縁層 3 b を形成すると共に、切り分けの箇所に対応して、裏面再配線層 2 c が形成される（図 1 3 を参照）。その後の、図 1 4 ～図 1 7 までの工程は、第 1 実施例の図 4 ～図 7 と同様である。この場合、貫通孔 4 は、裏面再配線層 2 c に達するように孔明けする。

【0034】次いで、図 1 7 に示す金属 2 の充填が完了

した後、裏面再配線層 2 c に半田ボール 2 d などを形成し、第二のダイシング工程で切断、チップサイズパッケージが完成する（図 1 8 を参照）。こうして得られたチップサイズパッケージは、電極となる金属突起 2 d の配置に自由度が大きいため、相対的に端子数の多い IC に適する。なお、図 1 9 はプリント基板 5 に搭載された形態を示す。

【0035】

【発明の効果】以上述べたように、本発明の CSP は、固体撮像素子、受光素子など、その半導体回路部に受光領域があり、そこに可視光線が入射するような構成の半導体素子などで、ウエハレベル CSP として、採用することができ、超小型実装が実現できる。

【図面の簡単な説明】

【図 1】本発明に係わる第 1 の実施の形態を示す外観図である。

【図 2】本発明の CSP を製造する第 1 工程を示す断面図である。

【図 3】同じく、第 2 工程を示す断面図である。

【図 4】同じく、第 3 工程を示す断面図である。

【図 5】同じく、第 4 工程を示す断面図である。

【図 6】同じく、第 5 工程を示す断面図である。

【図 7】同じく、第 6 工程を示す断面図である。

【図 8】同じく、第 7 工程を示す断面図である。

【図 9】上述の CSP を基板に実装した状態を示す断面図である。

【図 1 0】本発明に係わる第 2 の実施の形態を示す表面斜視図である。

【図 1 1】同じく、裏面斜視図である。

【図 1 2】本発明の CSP を製造する第 1 工程を示す断面図である。

【図 1 3】同じく、第 2 工程を示す断面図である。

【図 1 4】同じく、第 3 工程を示す断面図である。

【図 1 5】同じく、第 4 工程を示す断面図である。

【図 1 6】同じく、第 5 工程を示す断面図である。

【図 1 7】同じく、第 6 工程を示す断面図である。

【図 1 8】同じく、第 7 工程を示す断面図である。

【図 1 9】上述の CSP を基板に実装した状態を示す断面図である。

【図 2 0】従来の固体撮像素子の実装方法を示す断面図である。

【図 2 1】従来のチップサイズパッケージの断面図である。

【符号の説明】

1 シリコンウエハ

1 1 表面

1 2 側面

1 3 裏面

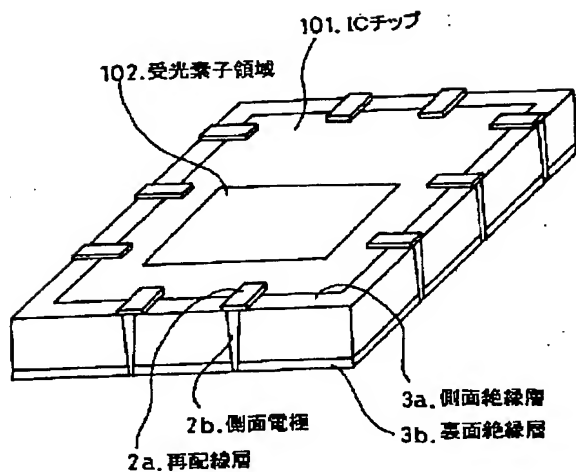
1 0 1 IC チップ

1 c IC 電極

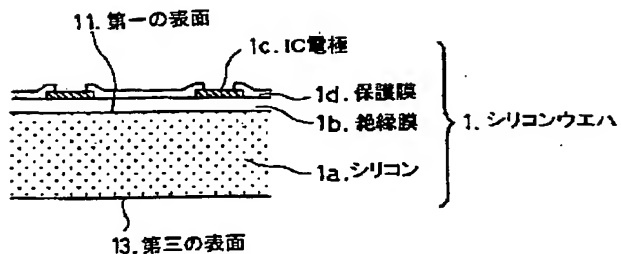
- 2 a 再配線層 (上端延長部)
2 b 側面電極
2 c 裏面再配線層

- 2 d 金属突起
3 a 側面絶縁層
3 b 裏面絶縁層

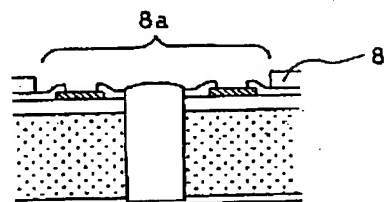
【図1】



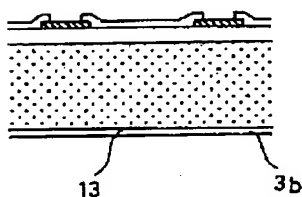
【図2】



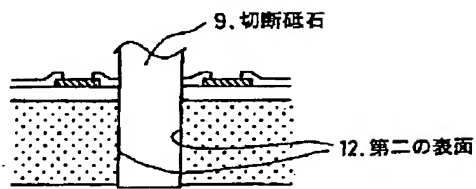
【図5】



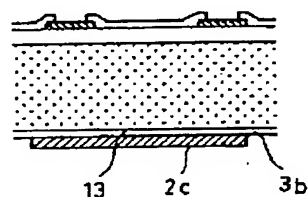
【図3】



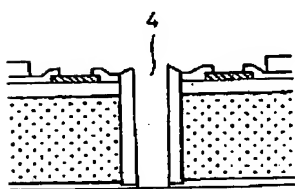
【図4】



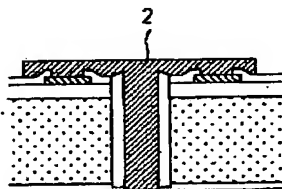
【図13】



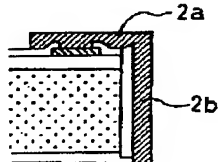
【図6】



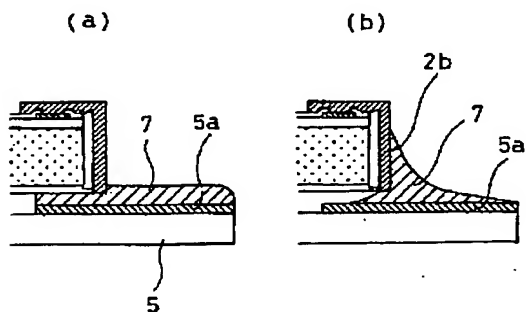
【図7】



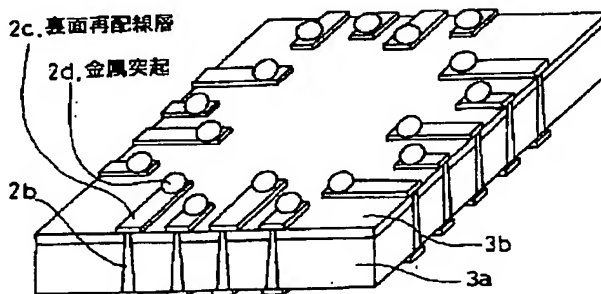
【図8】



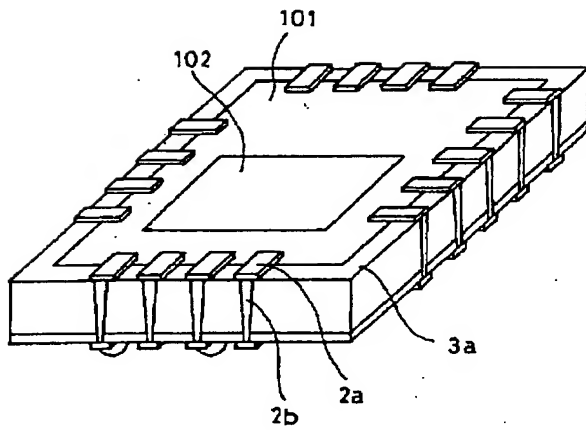
【図9】



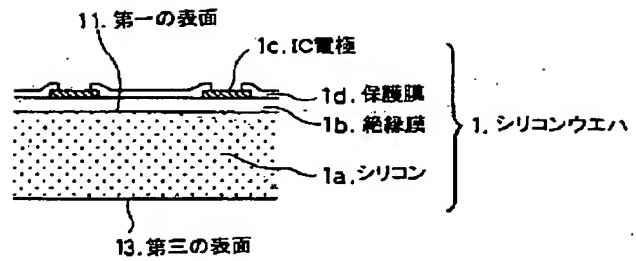
【図11】



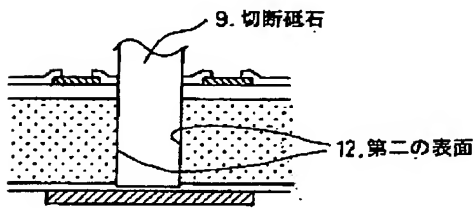
【図10】



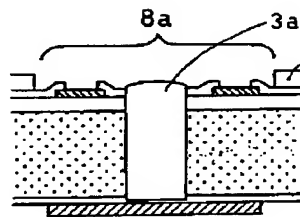
【図12】



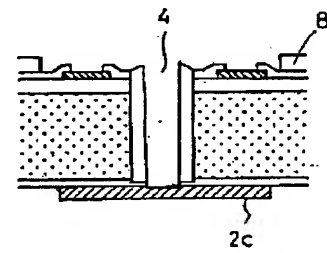
【図14】



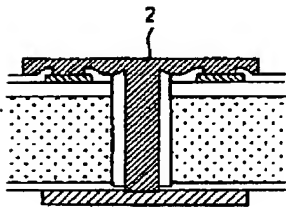
【図15】



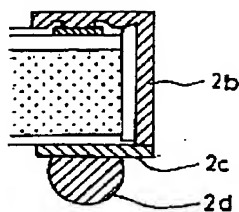
【図16】



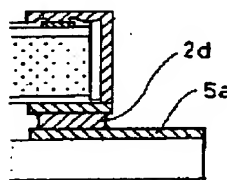
【図17】



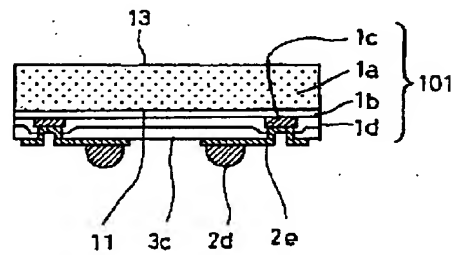
【図18】



【図19】



【図21】



【図20】

